

⑫ 公開特許公報(A)

平3-167930

⑮ Int. Cl.³

H 04 J 13/00

識別記号

A

庁内整理番号

6914-5K

⑯ 公開 平成3年(1991)7月19日

審査請求 未請求 請求項の数 3 (全17頁)

⑰ 発明の名称 SS受信機のPN符号初期同期装置

⑱ 特 願 平1-308027

⑳ 出 願 平1(1989)11月28日

㉑ 発 明 者 山 口 康 東京都渋谷区渋谷2丁目17番5号 株式会社ケンウッド内
㉒ 発 明 者 寺 田 尚 史 東京都渋谷区渋谷2丁目17番5号 株式会社ケンウッド内
㉓ 出 願 人 株式会社ケンウッド 東京都渋谷区渋谷2丁目17番5号
㉔ 代 理 人 弁理士 坪内 康治

明 細 書

1. 発明の名称

SS受信機のPN符号初期同期装置

2. 特許請求の範囲

(1). 各々チップ長でq個のプリアンプルから成る同期信号を含むSS信号波から各プリアンプルを検出して相関検出パルスを出力する相関器と、

(q-1)ビットの並列データをpアドレス分読み書き自在に記憶し、PNクロックの半同期毎に読み・書きを交互に繰り返すメモリと、

PNクロックに従い順に更新されるアドレスデータを発生し、メモリへ出力するアドレスカウンタと、

(q-1)ビットの並列な入力端子及び出力端子を有し、相関器出力が最下位ビットに入力されるとともにメモリから出力された並列データの内、最上位ビットを除く(q-2)ビットが上位ビットに入力され、PNクロックに同期してラッチを行い、ラッチデータがメモリへの書き込みデータ

とされるラッチ回路と、

相関器出力とメモリの出力を並列に入力し、入力パルスの一致数から合否判定を行い、「合」と判定したとき同期検出信号出力を行う合否判定回路と、

を備えたことを特徴とするSS受信機のPN符号初期同期装置。

(2). SS信号波は各々チップ長以上でq個のプリアンプルから成る同期信号を含み、

合否判定回路のメモリからの入力側の必要なビットに、チップ単位で各々所定量の遅延を行うシフトレジスタを個別に設けたこと、

を特徴とする請求項1記載のSS受信機のPN符号初期同期装置。

(3). SS信号波は各々チップ長以上でq個のプリアンプルから成る同期信号を含み、

ラッチ回路の入力側の必要なビットに、チップ単位で各々所定量の遅延を行うシフトレジスタを個別に設けたこと、

を特徴とする請求項1記載のSS受信機のPN

符号初期同期装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明はSS受信機のPN符号初期同期装置に係り、とくに複数個のブリアンブルから成る同期信号を対象として同期検出を行うSS受信機のPN符号初期同期装置に関する。

(従来の技術と発明が解決しようとする課題)

SS通信(スペクトラム拡散通信)の受信機では、受信したSS信号波に含まれる拡散PN符号に同期した逆拡散用PN符号をDLL回路のPN符号発生器で発生させ、SS信号波と乗算して逆拡散しBPSK波を形成するようにしている。

PN符号発生器はDLL回路のVCOから出力されるPNクロックに従い歩進しながら逆拡散用PN符号を発生するが、受信したSS信号波中の拡散PN符号に同期させるためには、所定のPN符号初期同期装置を用いてPN符号発生器に対し初期同期を掛ける必要がある。

従来のPN符号初期同期装置は、SS信号波中

ブリアンブルを持つものとする(p は例えば数百程度であり、 $b_1 \sim b_4$ は0~10程度で適宜に選択される)。

受信したSS信号波を相関器としてのSAWコリレータ10に入力する。SAWコリレータ10は、各ブリアンブルを検出する毎に、相関検出パルスを出力する。

ここでは、一例としてSAWコリレータ10は各ブリアンブルの上位128チップに対して相関検出動作を行うものとする、各ブリアンブルがいずれも正確に検出されたときは、SS信号波の同期信号開始点Sから128チップ経過時点と、($p + b_1 + 128$)チップ経過時点と、($2p + b_1 + b_2 + 128$)チップ経過時点と、($3p + b_1 + b_2 + b_3 + 128$)チップ経過時点に、1チップ周期Tの間「H」レベルとなる4つの相関検出パルス Q_1 、 Q_2 、 Q_3 、 Q_4 が出力される(第16図参照)。

ノイズ等で誤動作したとき、SAWコリレータ10は例えば相関検出パルス Q_2 を出力しなかつ

同期信号を構成するブリアンブルをSAWコリレータ等の相関検出器で検出して相関検出パルスを発生させ、この相関検出パルスに基づき同期検出信号をPN符号発生器へ出力して、初期同期を掛けるようにしている。

ところで、SS通信はC/N比がかなり小さいことから相関検出器がノイズで誤った相関検出パルスを発生し易く、これがため、PN符号発生器に誤った同期検出信号が出力されてしまい、PN符号発生器の初期同期ミスを起こすことがある。

この点に関し、初期同期ミスを回避するために従来より、同期信号を複数のブリアンブルで構成しておき、相関器から各ブリアンブルに対応した相関検出パルスが所定数以上出力されたとき、同期検出信号を出力する方法が提案されている。

この方法に於けるPN符号初期同期装置は例えば第15図のように構成することが考えられる。

ここではSS信号波中の同期信号が、例えば第16図に示す如く各々($p + b_1$)、($p + b_2$)、($p + b_3$)、 p のチップ長から成る4個の

たり、 $Q_1 \sim Q_4$ 以外のタイミングで誤った相関検出パルス Q_{n1} 、 Q_{n2} を出力したりする(第16図参照)。

SAWコリレータ10の出力側には、($p + b_1$)段、($p + b_2$)段、($p + b_3$)段の3つのシフトレジスタ12~16を直列に接続しておき、DLL回路のVCO出力に同期したPNクロックに従い各々($p + b_1$)チップ、($p + b_2$)チップ、($p + b_3$)チップの遅延を行わせる。

このときSAWコリレータ10が同期信号に対する正常な検出動作を行った場合、SAWコリレータ10から相関検出パルス Q_1 が出力された時点で、シフトレジスタ12~16からは各々相関検出パルス Q_2 、 Q_3 、 Q_4 に係る遅延パルスが出力される筈なので、SAWコリレータ10及び各シフトレジスタ12~16から出力されるパルスを合否判定回路18に入力し、同時に入力されるパルスの数から正しい同期検出か否かの合否判定を行い、「合」のとき同期検出信号を出力させる。

合否判定回路18は p と $b_1 \sim b_n$ の値を考慮し、例えば、4個同時にパルスが入力されたときのみ「合」と判定したり、3個以上または2個以上同時に入力されたときのみ「合」と判定する。

これにより、SAWコリレータ10が誤った相関検出パルス Q_{n1} 、 Q_{n2} を出力しても無視されて誤った同期検出信号出力を阻止でき、また例えば正しい相関検出パルス Q_1 の出力が欠けても他の正しい相関検出パルス Q_2 、 Q_3 に基づき正確に同期検出を行い、正確な同期検出信号を出力することが可能となる。

しかしながら上記したPN符号初期同期装置の構成では、数百という非常に長い遅延チップ数を得るために段数の非常に大きなシフトレジスタが必要となり、回路構成が非常に複雑となり、構成上及びコストの負担が大きく実現が困難であった。

この発明は上記した従来の問題に鑑みなされたもので、簡単・安価な構成で、各々 p チップ長で複数のプリアンブルから成る同期信号を対象としたPN符号初期同期装置を提供することを、その

し、相関器出力が最下位ビットに入力されるとともにメモリから出力された並列データの内、最上位ビットを除く $(q-2)$ ビットが上位ビットに入力され、PNクロックに同期してラッチを行い、ラッチデータがメモリへの書き込みデータとされるラッチ回路と、相関器出力とメモリの出力を並列に入力し、入力パルスの一致数から合否判定を行い、「合」と判定したとき同期検出信号出力を行う合否判定回路と、を備えたことを特徴としている。

またこの発明の他のSS受信機のPN符号初期同期装置は、SS信号波は各々 p チップ長以上で q 個のプリアンブルから成る同期信号を含み、合否判定回路のメモリからの入力側の必要なビットに、チップ単位で各々所定量の遅延を行うシフトレジスタを個別に設けたこと、を特徴としている。

またこの発明の更に他のPN符号初期同期装置は、SS信号波は各々 p チップ長以上で q 個のプリアンブルから成る同期信号を含み、ラッチ回路の入力側の必要なビットに、チップ単位で各々所

目的とする。

また、比較的簡単・安価な構成で、各々 p チップ長以上の複数のプリアンブルから成る同期信号を対象としたPN符号初期同期装置を提供することを、その目的とする。

更に、より簡単・安価な構成で、各々 p チップ長以上で複数のプリアンブルから成る同期信号を対象としたPN符号初期同期装置を得ることを目的とする。

(課題を解決するための手段)

この発明のSS受信機のPN符号初期同期装置は、各々 p チップ長で q 個のプリアンブルから成る同期信号を含むSS信号波から各プリアンブルを検出して相関検出パルスを出力する相関器と、 $(q-1)$ ビットの並列データを p アドレス分読み書き自在に記憶し、PNクロックの半周期毎に読み・書きを交互に繰り返すメモリと、PNクロックに従い順に更新されるアドレスデータを発生し、メモリへ出力するアドレスカウンタと、 $(q-1)$ ビットの並列な入力端子及び出力端子を有

定量の遅延を行うシフトレジスタを個別に設けたこと、を特徴としている。

(実施例)

次にこの発明の第1の実施例を第1図を参照して説明する。

第1図は、この発明に係るSS受信機のPN符号初期同期装置のブロック図である。

このPN符号初期同期装置は、各々 p チップ長で q 個のプリアンブルから成る同期信号を含むSS信号波を対象としており、ここでは一例として $p=256$ (チップ長)、 $q=4$ として説明する。

受信したSS信号波は相関器の一例としてのSAWコリレータ20に入力されて、同期信号を構成する各プリアンブルが検出され、1チップ周期 T の間「H」レベルとなる相関検出パルスが出力される。

SAWコリレータ20が各プリアンブルの内、例えば上位128チップを対象としているとき、SAWコリレータ20が正確にプリアンブルを検出すれば、同期信号の開始点Sより128チップ経過

した時点と、Sより $(128 + p)$ チップ経過した時点と、Sより $(128 + 2p)$ チップ経過した時点と、Sより $(128 + 3p)$ チップ経過した時点に相関検出パルス $Q_1 \sim Q_p$ が出力される(第2図参照)。

SAWコリレータ20の出力側には $(q-1) - 3$ ビット並列のラッチ回路22が接続されている。このラッチ回路22は、3ビットの入力端子 $D_0 \sim D_2$ と、3ビットの出力端子 $Q_0 \sim Q_2$ を有しており、DLL回路のVCOから出力されたPNクロック(或いはVCO出力を反転したPNクロック)CLKに同期して、例えばPNクロックCLKの立ち下がりタイミングで入力データのラッチを行う。

そしてラッチ回路22は、PNクロックが「H」の間は出力端子 $Q_0 \sim Q_2$ を全てハイインピーダンス状態とし、PNクロックが「L」の間にラッチデータを出力端子 $Q_0 \sim Q_2$ から並列に出力する。

ラッチ回路22の最下位ビットである入力端子

RAM24はPNクロックが「H」の間は読み出し動作を行い、「L」の間に書き込み動作を行う。

合否判定回路28は、SAWコリレータ20とRAM24から同時に入力されるパルス数をチェックして合否判定を行い、同時に4個パルスが入力されたときに「合」と判定して同期検出信号を出力する。

この合否判定回路28は例えば4入力のAND回路で構成できる。

同期検出信号はDLL回路のPN符号発生器(図示せず)へ出力され、初期同期を行わせる。

次にこの実施例の動作を第3図と第5図に示すタイムチャート及び第4図に示す動作説明図を参照して説明する。

PNクロックCLKの或る立ち上がり時点 t_0 でSAWコリレータ20の出力状態が n_0 となったとし、1チップ周期(PNクロックCLKの周期)Tずつだけ経過した $t_1, t_2, \dots, t_i, \dots$ の各時点でSAWコリレータ20の出力状態が

D_0 はSAWコリレータ20の出力側と接続されており、入力端子 D_1 は出力端子 Q_0 と接続されており、更に入力端子 D_2 は出力端子 Q_1 と接続されている。

また、 $q-1=3$ ビット並列データを、 $0 \sim (p-1)=255$ までの $p=256$ アドレス分読み書き自在に記憶できるRAM24が設けられており、このRAM24の3ビットのデータ入出力端子 $MD_0 \sim MD_2$ が各々ラッチ回路22の出力端子 $Q_0 \sim Q_2$ に接続されており、更にデータ入出力端子 $MD_0 \sim MD_2$ の全てとSAWコリレータ20の出力側が並列に合否判定回路28と接続されている。

RAM24のLSBと2SBは、各々ラッチ回路22の入力側の2SBとMSBに接続されることになる。

RAM24のアドレス入力端子 $A_0 \sim A_7$ にはアドレスカウンタ26が接続されており、PNクロックに従い「0」から「255」まで順に繰り返し更新されるアドレスデータが入力される。

$n_1, n_2, \dots, n_i, \dots$ と変化していくものとする(第3図参照)。

但し、 n_i ($i=0, 1, 2, \dots$)は、SAWコリレータ20が相関検出パルスを出力しているとき「H」、出力していないとき「L」である。

更に、 t_0 でアドレスカウンタ26のアドレスデータが「0」となったとする。

まず、簡単の為に $p=4$ と仮定したときのラッチ回路22、RAM24、アドレスカウンタ26の動作を考える(第3図、第4図参照)。

t_0 の直前におけるRAM24の各アドレス「0」～「3」に書き込まれている1桁目のビットデータを $a_0 \sim a_3$ 、2桁目のビットデータを $a_4 \sim a_7$ 、3桁目のビットデータを $a_8 \sim a_{11}$ とすると、 t_0 でPNクロックが立ち上がると $T/2$ の間(この間ラッチ回路22の出力はハイインピーダンス状態となる)、RAM24のアドレス「0」のLSBからMSBまでの各ビットデータ a_0, a_1, a_2, a_3 が読み出され、データ入出力端子 $MD_0 \sim MD_2$ から出力される。前2つの a_0, a_1

がラッチ回路22の入力端子D1、D2に入力される。

このとき、SAWコリレータ20の出力は n_i であり、ラッチ回路22の入力端子D0に入力される(なお、 t_i から $T/2$ の間、SAWコリレータ20の出力とRAM24から読み出されたデータが合否判定回路28に入力される)。

t_i より $T/2$ 経過しPNクロックが立ち下がる時ラッチ回路22が入力データを3ビット同時にラッチし、出力端子Q0~Q2から n_{i-1} 、 a_{i-1} 、 a_i を出力する。

PNクロックが立ち下がる時RAM24は、ラッチ回路22から出力されているラッチデータをアドレス「0」に書き込み、LSBからMSBを n_{i-1} 、 a_{i-1} 、 a_i とする。

次に t_{i+1} でPNクロックが立ち上がると、RAM24のアドレス「1」から a_i 、 a_{i+1} 、 a_{i+2} が読み出され、前2つがラッチ回路22の上位2桁に入力されるとともに、ラッチ回路22のLSBにSAWコリレータ20から n_i が入力される。

以上の類推から、1より大きな任意の p に対し、PNクロックの立ち上がり時点 t_i でSAWコリレータ20から n_i が出力されるとき、RAM24からは n_{i-1} 、 n_{i-2} 、 n_{i-3} が出力され、 T 経過した t_{i+1} の時点でSAWコリレータ20から n_{i+1} が出力されるとき、RAM24からは n_{i-1} 、 n_{i-2} 、 n_{i-3} が出力されるという具合にして、SAWコリレータ20の出力に対し、RAM24からは常に p チップずつ遅延された3つのビットデータが出力される(第5図参照)。

この実施例では $p=256$ であり、SAWコリレータ20が正常に各ブリアンブルを検出したとき、SS信号波の同期信号開始点から128チップ経過した時点で相関検出パルス Q_1 が出力され、 $128+p=384$ チップ経過した時点で相関検出パルス Q_2 が出力され、 $128+2p=640$ チップ経過した時点で相関検出パルス Q_3 が出力され、 $128+3p=896$ チップ経過した時点で相関検出パルス Q_4 が出力される(第2図参照)。

このときSAWコリレータ20から相関検出バ

$T/2$ 経過しPNクロックが立ち下ると、ラッチ回路22が入力データをラッチして出力する。ラッチ回路22の出力は下位桁より n_i 、 a_i 、 a_{i+1} となり、PNが立ち下がっている間にRAM24のアドレス「1」に書き込まれる。

以下、同様の動作が繰り返されていく。

$t_i \sim t_{i+1}$ までのRAM24からの読み出しデータと書き込みデータ、SAWコリレータ20の出力、アドレスカウンタ26の出力の各変化の様子を第4図に示す。

第4図から明らかなように、 t_{i+1} 以降は、RAM24からの出力から $a_i \sim a_{i+1}$ が消えて定常な動作となり、SAWコリレータ20から n_i が出力されたときRAM24の出力が n_{i-1} 、 n_{i-2} 、 n_{i-3} となり、 T 経過してSAWコリレータ20から n_{i+1} が出力されたときRAM24の出力が n_{i-1} 、 n_{i-2} 、 n_{i-3} になるという具合にして、SAWコリレータ20の出力に対し、RAM24からは $p=4$ チップずつ遅延された3つのビットデータが出力される。

パルス Q_4 が出力されたとき、RAM24からはMD0から $p=256$ チップ前の相関検出パルス Q_1 に係る遅延パルスが出力され、MD1から $p=512$ チップ前の相関検出パルス Q_2 に係る遅延パルスが出力され、MD2から $p=768$ チップ前の相関検出パルス Q_3 に係る遅延パルスが出力されることになる。

合否判定回路28は、SAWコリレータ20及びRAM24から同時に4つの相関検出パルスを入力したときだけ「合」と判定し、「H」レベルの同期検出信号を出力するので、ノイズによりSAWコリレータ20から誤った相関検出パルスが出力されても無視されて、常に正確な同期検出及び同期検出信号出力を行える。

この実施例によれば、ラッチ回路22、RAM24、アドレスカウンタ26により構成した簡単な構成の遅延回路により、各々 $p=256$ チップ長で4個のブリアンブルから成る同期信号を含むSS信号波よりSAWコリレータ20で検出し出力された各相関検出パルスを、 $p=256$ チップ、2

$p = 512$ チップ、 $3p = 768$ チップだけ遅延させた3つの遅延パルスを作成することができる。

具体的には第15図のような3つのシフトレジスタで構成すると、D-F/F回路1段当たり5ゲート必要なことから、全部で約3800ゲート程度の回路構成が必要なのに対し、この実施例では、ラッチ回路22、RAM24、アドレスカウンタ26を含めて約700ゲート弱で構成できる。

従って、LSI化も容易となり、コストも大幅に安くなる。

なお、 p が256以外の値のときや q が4以外の値のときは、ラッチ回路、RAM、アドレスカウンタ、合否判定回路を通宜変更すればよい。

第6図はこの発明の第2の実施例に係るPN符号初期同期装置のブロック図である。

第1図と同一の構成部分には同一の符号が付しである。

第1図の例では各々 p チップ長で q 個のプリアンブルから成る同期信号を含むSS信号波を対象としたのに対し、この第2の実施例では各々 p チ

ップ長で q 個のプリアンブルから成る同期信号を含むSS信号波を対象としたのに対し、この第2の実施例では各々 p チップ長以上で q 個のプリアンブルから成る同期信号を含むSS信号波を対象としている。

SS信号波の同期信号は例えば第7図に示すように $p+z$ 、 $p+y$ 、 $p+x$ 、 $p+w$ のチップ長の $q=4$ 個のプリアンブルを持つとし、ここでは例えば $p=256$ とし、 z 、 y 、 x 、 w は0~10程度の中から適宜に選択するものとする。またSAWコリレータ20は一例としてプリアンブルの上位128チップを対象にして相関検出を行うものとする。

RAM24の各データ入出力端子MD0~MD2には、各桁別にシフトレジスタ30~34が接続されており、各々PNクロックCLKに従いRAM24から出力されるビットデータを x 、 $(x+y)$ 、 $(x+y+z)$ チップだけ遅延させる。

各シフトレジスタ30~34は、PNクロックCLKの立ち下がりで歩進動作を行うものとする。

シフトレジスタ30~34は各々 x 、 $(x+y)$ 、 $(x+y+z)$ 段で構成されている。

シフトレジスタ30~34の出力側は、SAWコリレータ20の出力側とともに合否判定回路28Aと接続されている。

この合否判定回路28Aは、同時に入力されるパルスの数をチェックし、同時に4つ入力されるか、または3つ或いは2つ入力されたとき同期検出信号を出力する。

その他の構成部分は第1図と全く同様に構成されている。

次にこの第2の実施例の動作を第8図と第9図のタイムチャートを参照して簡単に述べる。

まずRAM24の一桁目の出力変化とシフトレジスタ30の出力変化について見る。

第8図の(1)に示す如く、PNクロックCLKが取る時点 t_1 と、Tずつ経過した $t_1 + T$ 、 $t_1 + 2T$ 、 $t_1 + 3T$ 、……で立ち上がる毎にRAM24のMD0からは続く $T/2$ の間、 f_1 、 $f_1 + T/2$ 、 $f_1 + T$ 、 $f_1 + 3T/2$ 、……が出力されるものとする。

これらのビットデータは、 $f_1 + T/2$ 、 $f_1 + T$ 、 $f_1 + 3T/2$ 、 $f_1 + 2T$ 、……におけるPNクロックCLKの各立ち下がりタイミング

でシフトレジスタ30に転送される。

シフトレジスタ30が x 段であることから、 $t_1 + T/2 \sim t_1 + T$ の間でRAM24のMD0の出力が f_1 となっているとき、シフトレジスタ30の出力が $f_1 + T/2$ のタイミングで f_1 となり、 $t_1 + T \sim t_1 + 3T/2$ の間でRAM24のMD0の出力が $f_1 + T/2$ となっているとき、 $t_1 + 3T/2 \sim t_1 + 2T$ のタイミングでシフトレジスタ30の出力が f_1 となるといふ具合にして、RAM24のMD0の出力が x チップだけ遅延される(第8図の(2)参照)。

同様に、RAM24のMD1の出力はシフトレジスタ32で $(x+y)$ チップだけ遅延され、MD2の出力はシフトレジスタ34で $(x+y+z)$ チップだけ遅延される。

従ってラッチ回路22、RAM24、アドレスカウンタ26、シフトレジスタ30~34が定常の動作に入っているものとする、第9図に示す如く、PNクロックCLKの立ち上がり時点 t_1 でSAWコリレータ20の出力が n_1 になったとき、

RAM 24 のLSB～MSBの各出力データは $n_{x-1}, n_{x-2}, \dots, n_{x-p}$ となり、 $T/2$ 経過した時点でシフトレジスタ30～34の各出力は、 $n_{x-p}, n_{x-p-1}, \dots, n_{x-p-x-y}$ となる。

T より T 経過した t_{x+1} の時点でSAWコリレータ20の出力が n_{x+1} になったときRAM24のLSB～MSBの出力は $n_{x-1}, n_{x-2}, \dots, n_{x-p}$ に変化し、 $T/2$ 経過した時点でシフトレジスタ30～34の出力は $n_{x-p}, n_{x-p-1}, \dots, n_{x-p-x-y}$ となり、更に T 経過した t_{x+2} の時点でSAWコリレータ20の出力が n_{x+2} になったときRAM24のLSB～MSBの出力は $n_{x-2}, n_{x-3}, \dots, n_{x-p-1}$ に変化し、 $T/2$ 経過した時点でシフトレジスタ30～34の出力は $n_{x-p-1}, n_{x-p-2}, \dots, n_{x-p-x-y-1}$ となるという具合にして、SAWコリレータ20の出力に対し、シフトレジスタ30～34からは各々常に $(p+x)$ 、 $(p+x+y)$ 、 $(p+x+y+z)$ だけ遅延した出力がなされる。

例えば $p=256$ 、 $w=0$ 、 $x=2$ 、 $y=4$ 、 z

関検出パルスが欠損しても、他の3つまたは2つの相関検出パルスに係るパルスが同期信号開始点から780チップ経過した時点で同時に合否判定回路28Aに入力される。

よって、合否判定回路28Aは、同時に入力される相関検出パルスの数をチェックし、検出精度を高くしたい場合は4つとも同時に入力されたとき「合」と判定し、検出精度を少し下げても早く初期同期したい場合は3つまたは2つ同時に入力されたとき「合」と判定して同期検出信号を出力すればよい。

この点に関し、第1図の実施例では、各ブリアンブルがいずれも p チップ長なので、合否判定回路28は4つ同時にパルスが入力されたときだけ「合」と判定する必要がある。

この第2の実施例によれば、第1図中のラッチ回路22、RAM24、アドレスカウンタ26で構成された遅延回路に、段数の小さなシフトレジスタ30～34を附加するだけで、各々 p チップ長以上で $q=4$ 個のブリアンブルから成る同期信

$=6$ とすると、SAWコリレータ20が正確に各ブリアンブルの検出を行ったとき、同期信号の開始時点から128チップ経過した時点でSAWコリレータ20から相関検出パルス Q_1 が出力され、 $(256+6+128)=390$ チップ経過した時点で相関検出パルス Q_2 が出力され、 $(256+6+256+4+128)=650$ チップ経過した時点で相関検出パルス Q_3 が出力され、 $(256+6+256+4+256+2+128)=780$ チップ経過した時点で相関検出パルス Q_4 が出力されるが、最後の相関検出パルス Q_4 が出力されたとき、各シフトレジスタ30～34から相関検出パルス $Q_1 \sim Q_4$ に係る遅延パルスが同時に出力される(第7図参照)。

このとき合否判定回路28Aには4つのパルスが同時に入力されることになる。

相関検出パルス Q_1 と Q_2 、 Q_2 と Q_3 、 Q_3 と Q_4 の間隔は262チップ、260チップ、258チップと全て異なっているため、若し、ノイズで相関検出パルス $Q_1 \sim Q_4$ の内1つまたは2つの相

号を対象とした同期検出を行うことができ、構成上及びコスト上の負担が少ない。また、合否判定回路28Aで合否判定に用いる基準数をいくつにするかで、初期同期早さを選択することもできる。

なお、上記した第2の実施例では p 、 q 、 w 、 z 、 y 、 x は同期信号の構成に応じて各々256、4、0、6、4、2以外の数値に設定もよく、要はこれらの数値に応じた構成とすればよい。

例えば z 、 y 、 x の中の1つまたは2つを0とするときは対応するシフトレジスタは不要となり、要は合否判定回路28AのRAM24からの入力側の必要なビット位置にシフトレジスタを設ければよい。

次にこの発明の第3の実施例を第10図に基づいて説明する。

第10図はこの発明に係るPN符号初期同期装置を示すブロック図である。

但し、第1図と同一の構成部分には同一の符号を付してある。

第6図の実施例では、RAMの出力側にシフト

レジスタを設けたのに対し、この第3の実施例ではラッチ回路の入力側にシフトレジスタを設けて各々チップ長以上で q 個のプリアンプルから成る同期信号を対象としたPN符号初期同期装置を実現している。

SS信号波の同期信号は例えば第7図に示すように $p+z$ 、 $p+y$ 、 $p+x$ 、 $p+w$ のチップ長の $q=4$ 個のプリアンプルを持つとし、ここでは例えば $p=256$ とし、 z 、 y 、 x 、 w は $0\sim 10$ 程度の中から適宜に選択するものとする。またSAWコリレータ20は各プリアンプルの上位128チップを対象にして相関検出を行うものとする。

ラッチ回路22の入力端子D0～D2には、併別にシフトレジスタ40～44が接続されており、PNクロックCLKに同期して各々、SAWコリレータ20の出力と、RAM24から出力されるLSB、2SBのビットデータを x 、 y 、 z チップだけ遅延させる。

各シフトレジスタ40～44は、PNクロックCLKの立ち下がりで歩進動作を行うものとする。

におけるRAM24の各アドレス「0」～「3」に書き込まれているLSBのビットデータを a_0 、 $\sim a_3$ 、2SBのビットデータを a_4 、 $\sim a_7$ 、MSBのビットデータを a_8 、 $\sim a_{11}$ とし、かつ、シフトレジスタ40に保持されたデータを x_0 、シフトレジスタ42の1段目と2段目に保持されたデータを y_0 と y_1 、シフトレジスタ44の1段目～3段目に保持されたデータを z_0 、 z_1 、 z_2 とする。

t_0 でPNクロックが立ち上がったときSAWコリレータの出力が n_0 となり、アドレスカウンタ26のアドレスデータが「0」となったとすると、SAWコリレータ20の出力 n_0 がシフトレジスタ40に入力され、また、RAM24のアドレス「0」の1桁目から3桁目までのビットデータ a_0 、 a_1 、 a_2 が読み出されてデータ入出力端子MD0～MD2から出力される。 a_0 、 a_1 がシフトレジスタ42、44に入力される。

t_0 から $T/2$ 経過してPNクロックCLKが立ち下ると、シフトレジスタ40のデータと、シフ

の場合、シフトレジスタ40～44は各々 x 、 y 、 z 段とすればよい。

SAWコリレータ20とRAM24の3ビットの出力側は並列に合否判定回路28Bと接続されている。

この合否判定回路28Bは、同時に入力されるパルスの数をチェックし、同時に4つ入力されるか、または3つ或いは2つ入力されたとき同期検出信号を出力する。

その他の構成部分は第1図と全く同様に構成されている。

次にこの第3の実施例の動作を第11図の動作説明図と第12図のタイムチャートを参照して簡単に述べる。

但し、一例として $p=256$ 、 $z=3$ 、 $y=2$ 、 $x=1$ とする。

まず、簡単の為に $p=4$ と仮定したときのラッチ回路22、シフトレジスタ40～44、RAM24、アドレスカウンタ26の動作を考える。

PNクロックが立ち上がる或る時点 t_0 の直前

レジスタ42、44の1段目のデータが n_0 、 a_0 、 a_1 となり、またラッチ回路22が各シフトレジスタ40～44の出力をラッチして出力端子Q0～Q2から x_0 、 y_0 、 z_0 を出力する。

PNクロックが「L」になるとRAM24は、ラッチ回路22から出力されているラッチデータをアドレス「0」に書き込み、LSB、2SB、MSBを x_0 、 y_0 、 z_0 とする。

次に t_1 でPNクロックが立ち上がると、RAM24のアドレス「1」から a_4 、 a_5 、 a_6 が読み出され、前2つがシフトレジスタ42、44に出力されるとともに、SAWコリレータ20から n_1 がシフトレジスタ40に出力される。

$T/2$ 経過しPNクロックが立ち下ると、シフトレジスタ40と、シフトレジスタ42、44の1段目に n_1 、 a_4 、 a_5 が転送される。

またこのとき同時にシフトレジスタ40～44の出力がラッチされて、ラッチ回路22の出力は下位桁より n_1 、 y_1 、 z_1 となり、これらがPNクロックが立ち下がっている間にRAM24の

アドレス「1」のLSB～MSBに書き込まれる。

以下、同様の動作が繰り返されていく。

$t_0 \sim t_{20}$ までのRAM24からの読み出しデータと書き込みデータ、及びSAWコリレータ20からの出力変化の様子を第11図に示す。

第11図から明らかなように、 t_{10} 以降は、RAM24からの出力から $a_0 \sim a_{11}$ 、 x_0 、 y_0 、 y_1 、 $z_0 \sim z_1$ が消えて定常な動作となり、SAWコリレータ20から n_0 が出力されたときRAM24のMD0～MD2の出力が、 $n_{p-5} = n_{p-4-1}$ 、 $n_{p-11} = n_{p-8-1-2}$ 、 $n_{p-18} = n_{p-12-1-2-3}$ となり、T経過してSAWコリレータ20から n_1 が出力されたときRAM24の出力が n_{p-4} 、 n_{p-10} 、 n_{p-17} になるという具合にして、SAWコリレータ20の出力に対し、RAM24の各データ入出力端子MD0～MD2からは $p+x=5$ チップ、 $2p+x+y=11$ チップ、 $3p+x+y+z=18$ チップだけ遅延された3つのビットデータが出力される。

以上の類推から、1より大きな任意のpと、1

チップ経過した時点で相関検出パルス Q_0 が出力され、Sから $(3p+z+y+x+128)$ チップ経過した時点で相関検出パルス Q_1 が出力される(第7図参照)。

この場合SAWコリレータ20から相関検出パルス Q_0 が出力されたとき、RAM24からはMD0から $(p+x)$ チップ前の相関検出パルス Q_0 に係る遅延パルスが出力され、MD1から $(2p+x+y)$ チップ前の相関検出パルス Q_1 に係る遅延パルスが出力され、MD2から $(3p+x+y+z)$ チップ前の相関検出パルス Q_2 に係る遅延パルスが出力されることになる。

x 、 y 、 z が全て異なる値であれば、相関検出パルス $Q_0 \sim Q_2$ の内、1つまたは2つが欠損しても、相関検出パルス Q_0 が入力されるべきタイミングで残りの正しい相関検出パルスに係る遅延パルスが合否判定回路28Bに入力される。

よって、合否判定回路28Bは、同時に入力されるパルスの数をチェックして検出精度を高くしたい場合は4つとも同時に入力されたとき「合」

0以下程度で適宜に選択された z 、 y 、 x に対し、PNクロックの立ち上がりと同時にSAWコリレータ20から n_0 が出力されるとき、RAM24からは n_{p-5} 、 n_{p-11} 、 n_{p-18} が出力され、Tだけ経過してSAWコリレータ20から n_1 が出力されるとき、RAM24からはLSB～MSBとして n_{p-4} 、 n_{p-10} 、 n_{p-17} が出力されるという具合にして、SAWコリレータ20の出力に対し、RAM24からは $(p+x)$ 、 $(2p+x+y)$ 、 $(3p+x+y+z)$ チップ遅延された3つのビットデータが出力される(第12図参照)。

この実施例では $p=256$ であり、またSAWコリレータ20はブリアンブルの128チップ対して相関検出を行うので、SAWコリレータ20が正常に各ブリアンブルを検出したとき、SS信号波の同期信号開始点Sから128チップ経過した時点で相関検出パルス Q_0 が出力され、Sから $(p+z+128)$ チップ経過した時点で相関検出パルス Q_1 が出力され、Sから $(2p+z+y+128)$

と判定し、検出精度を少し下げても早く初期同期したい場合は3つまたは2つ同時に入力されたとき「合」と判定して同期検出信号を出力すればよい。

この第3の実施例によれば、各シフトレジスタ40～44が第6図の実施例より少ない段数で、各々pチップ長以上で $q=4$ 個のブリアンブルから成る同期信号を対象とした同期検出を行うことができ、構成上及びコスト上の負担がより少なくなる。

なお、上記した第3の実施例でもp、qやz、x、y、wは同期信号の構成に応じて任意に設定でき、要はこれらの数値に応じた構成とすればよい。

例えばz、x、yの中の1つまたは2つを0とするときは対応するシフトレジスタが不要となり、ラッチ回路の入力側の必要な桁位置だけにシフトレジスタを設ければよい。

また、上記した各実施例では相関器としてSAWコリレータを用いたが、SAWコンボルバ等の

他の相関器を用いてもよい。

更に、例えば第1図の実施例の変形として第13図に示す如く、SAWコリレータ20の出力側を2系統とし、一方の系統のラッチ回路22、RAM24、アドレスカウンタ26にはDLS回路のVCOから出力されたPNクロックCLKを印加し、他方の系統のラッチ回路220、RAM240、アドレスカウンタ260にはPNクロックCLKを反転回路50で反転したPNクロックCLK'を印加し、一方の系統の合否判定回路28の出力または他方の系統の合否判定回路280の出力をOR回路52を介してPN符号発生器へ出力するようにしてもよい。

第13図の如く構成することで、SAWコリレータ20の出力が例えば第14図に示すようにPNクロックCLKの立ち下がりタイミングで変化すると、一方の系統では正確な同期検出をできない恐れがあるが、他方の系統ではPNクロックCLK'の立ち上がりタイミングでSAWコリレータ20の出力が変化するため正確に同期検出を行うこ

行い、ラッチデータがメモリへの書き込みデータとされるラッチ回路と、相関器出力とメモリの出力を並列に入力し、入力パルスの一致数から合否判定を行い、「合」と判定したとき同期検出信号出力を行う合否判定回路と、を備えたことにより、簡単・安価な構成により、各々pチップ長でq個のプリアンブルから成る同期信号を含むSS信号波を対象としたPN符号初期同期装置を実現できる。

またこの発明の他のSS受信機のPN符号初期同期装置によれば、合否判定回路のメモリからの入力側の必要なビットに、チップ単位で各々所定量の遅延を行うシフトレジスタを個別に設けたことにより、比較的簡単で安価な構成により各々pチップ長でq個のプリアンブルから成る同期信号を対象としたPN符号初期同期装置を実現できる。

またこの発明の更に他のPN符号初期同期装置によれば、ラッチ回路の入力側の必要なビットに、チップ単位で各々所定量の遅延を行うシフトレジスタを個別に設けたことにより、より簡単・安価

とができ、合否判定回路280からOR回路52を介して正確な同期検出信号を出力させることができる。

他の実施例についても同様にしてSAWコリレータの出力側を2系統化してもよい。

(発明の効果)

この発明のSS受信機のPN符号初期同期装置によれば、各々pチップ長でq個のプリアンブルから成る同期信号を含むSS信号波から各プリアンブルを検出して相関検出パルスを出力する相関器と、(q-1)ビットの並列データをpアドレス分読み書き自在に記憶し、PNクロックの半周期毎に読み・書きを交互に繰り返すメモリと、PNクロックに従い順に更新されるアドレスデータを発生し、メモリへ出力するアドレスカウンタと、(q-1)ビットの並列な入力端子及び出力端子を有し、相関器出力が最下位ビットに入力されるとともにメモリから出力された並列データの内、最上位ビットを除く(q-2)ビットが上位ビットに入力され、PNクロックに同期してラッチを

な構成により各々pチップ長以上でq個のプリアンブルから成る同期信号を対象としたPN符号初期同期装置を実現できる。

4. 図面の簡単な説明

第1図はこの発明の第1の実施例に係るSS受信機のPN符号初期同期装置のブロック図、第2図はSS信号波のフレーム構成とSAWコリレータ出力の関係を示す説明図、第3図は第1図の動作を説明するためのタイムチャート、第4図は第1図の動作を説明するための説明図、第5図は第1図の動作を説明するタイムチャート、第6図はこの発明の第2の実施例に係るSS受信機のPN符号初期同期装置のブロック図、第7図はSS信号波のフレーム構成とSAWコリレータ出力の関係を示す説明図、第8図と第9図は第6図の動作を説明するためのタイムチャート、第10図はこの発明の第3の実施例に係るSS受信機のPN符号初期同期装置のブロック図、第11図は第10図の動作を説明するための説明図、第12図は第10図の動作を説明するタイムチャート、第13

図は第1図の変形例を示すブロック図、第14図は第13図の動作を説明するためのタイムチャートである。

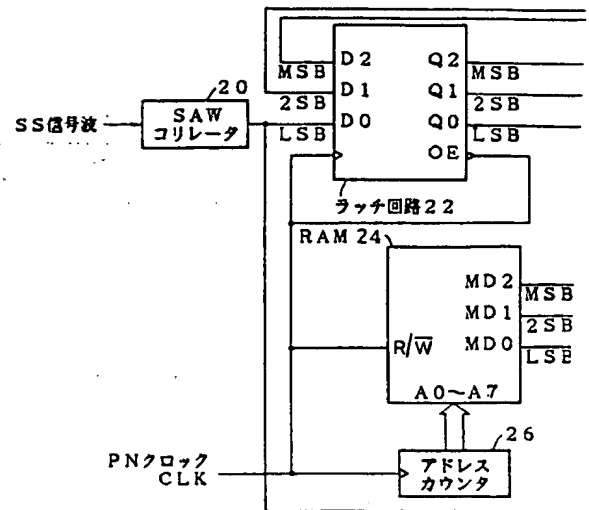
第15図は従来のSS受信機のPN符号同期装置のブロック図、第16図はSS信号波のフレーム構成とSAWコリレータ出力の関係を示す説明図である。

主な符号の説明

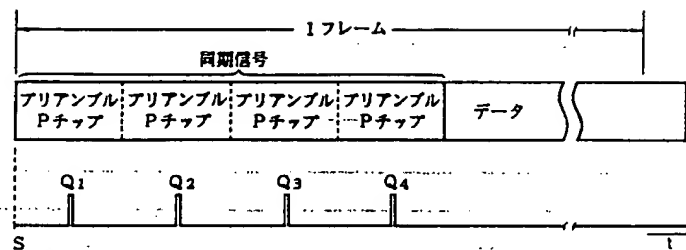
- 20 : SAWコリレータ、
- 22, 220 : ラッチ回路、
- 24, 240 : RAM、
- 26, 260 : アドレスカウンタ、
- 28, 28A, 28B, 280 : 合否判定回路、
- 30, 32, 34, 40, 42, 44 : シフトレジスタ。

特許出願人 株式会社ケンウッド

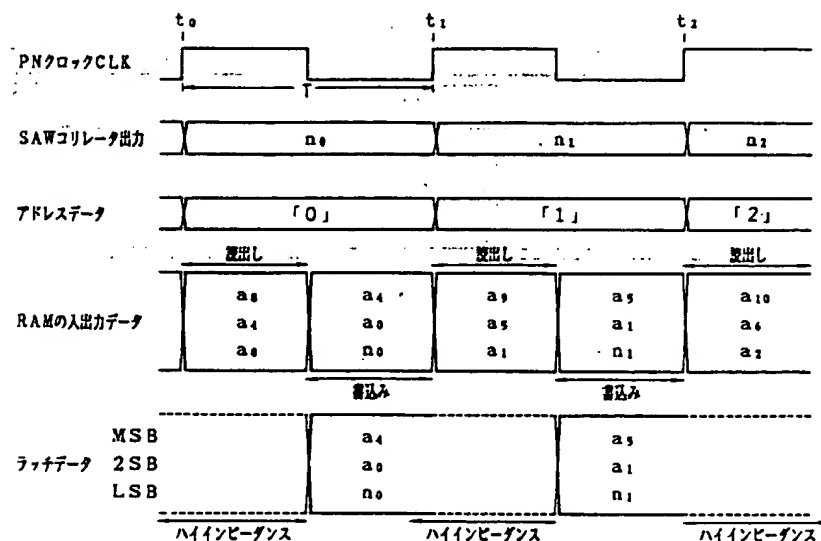
代理人 弁理士 坪内 康治



第1図



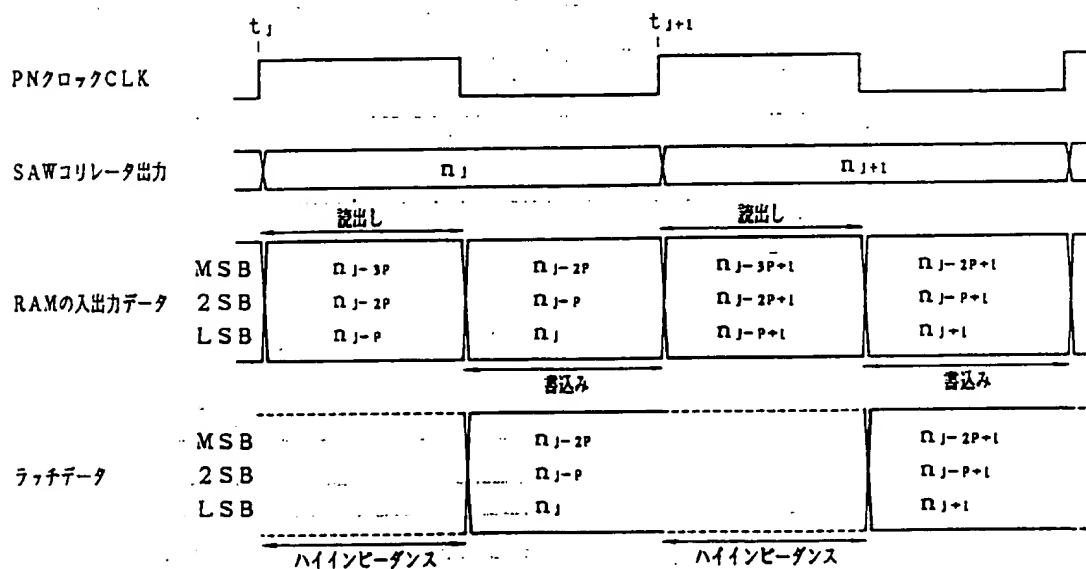
第2図



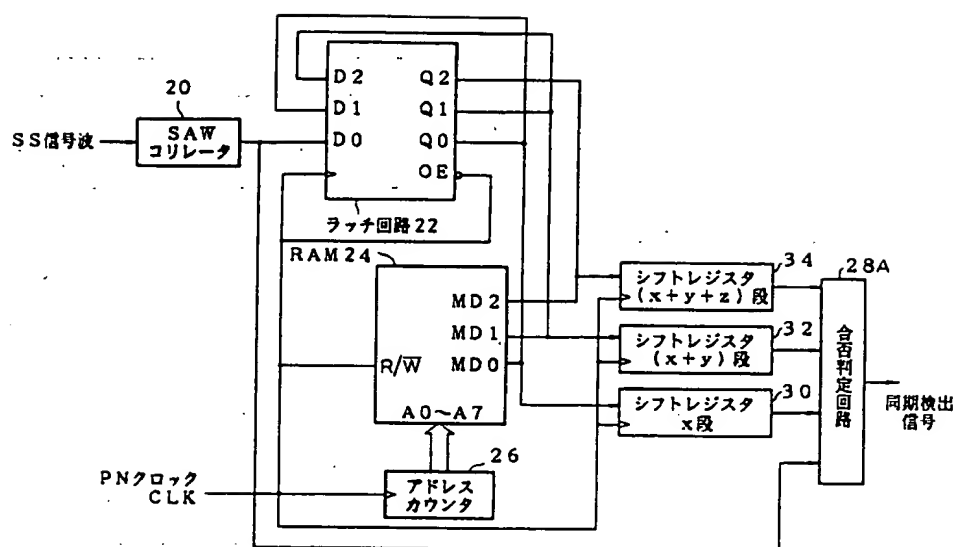
第3図

	t_0	t_1	t_2	t_3	t_4	t_5	t_6	t_7	t_8	t_9	t_{10}	t_{11}	t_{12}	t_{13}	t_{14}	t_{15}	t_{16}	-----
SAW コリレータ出力	n_0	n_1	n_2	n_3	n_4	n_5	n_6	n_7	n_8	n_9	n_{10}	n_{11}	n_{12}	n_{13}	n_{14}	n_{15}		
アドレスデータ	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3		
1桁	a_0	a_1	a_2	a_3	n_0	n_1	n_2	n_3	n_4	n_5	n_6	n_7	n_8	n_9	n_{10}	n_{11}		
RAMの読出しデータ 2桁	a_4	a_5	a_6	a_7	a_8	a_9	a_{10}	a_{11}	n_0	n_1	n_2	n_3	n_4	n_5	n_6	n_7		
3桁	a_8	a_9	a_{10}	a_{11}	a_{12}	a_{13}	a_{14}	a_{15}	n_0	n_1	n_2	n_3	n_4	n_5	n_6	n_7		
1桁	n_8	n_9	n_{10}	n_{11}	n_{12}	n_{13}	n_{14}	n_{15}										
RAMの書き込みデータ 2桁	a_0	a_1	a_2	a_3	a_4	a_5	a_6	a_7	a_8	a_9	a_{10}	a_{11}	a_{12}	a_{13}	a_{14}	a_{15}		
3桁	a_4	a_5	a_6	a_7	a_8	a_9	a_{10}	a_{11}	a_{12}	a_{13}	a_{14}	a_{15}	a_{16}	a_{17}	a_{18}	a_{19}		

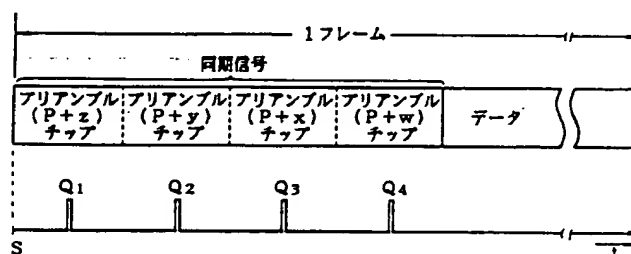
第 4 図



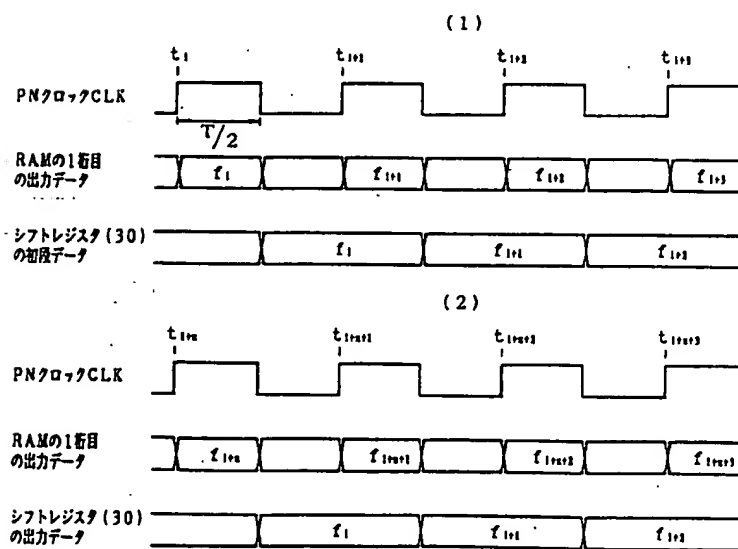
第 5 図



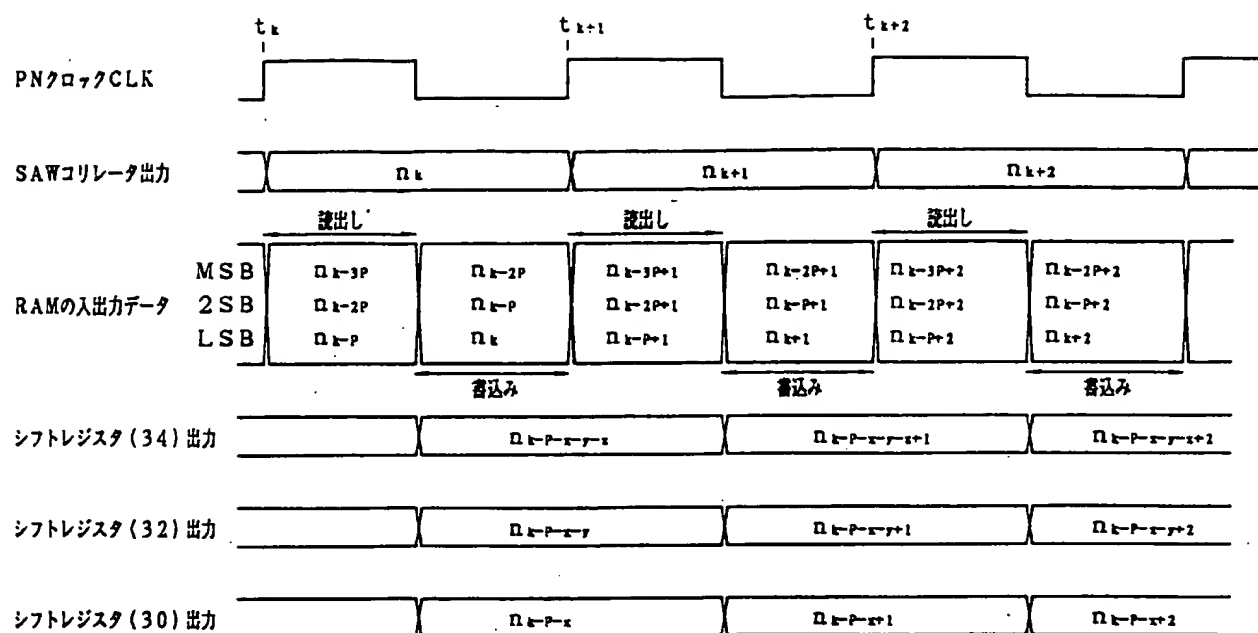
第 6 図



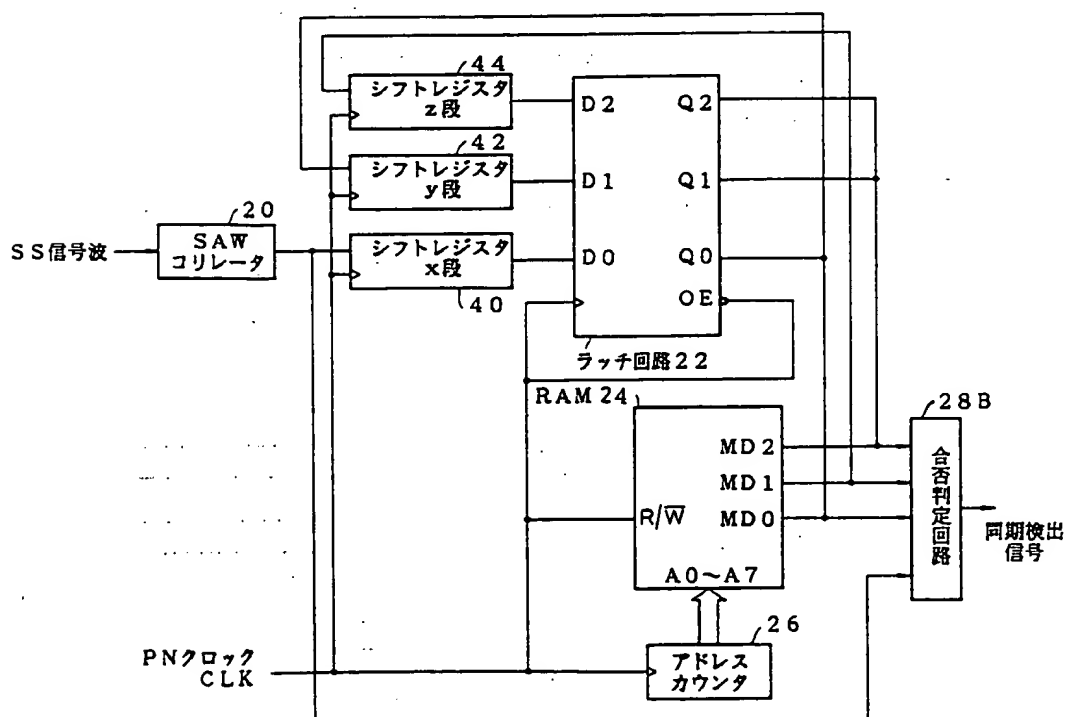
第 7 図



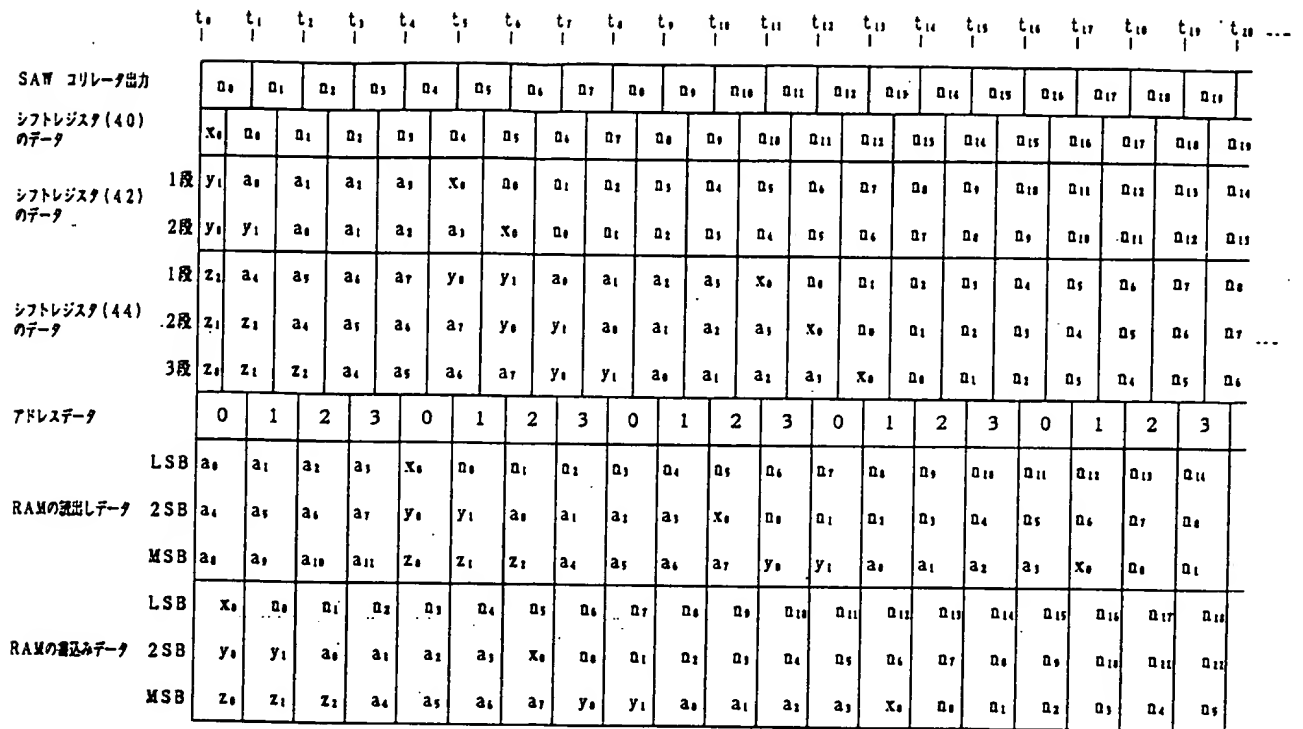
第 8 図



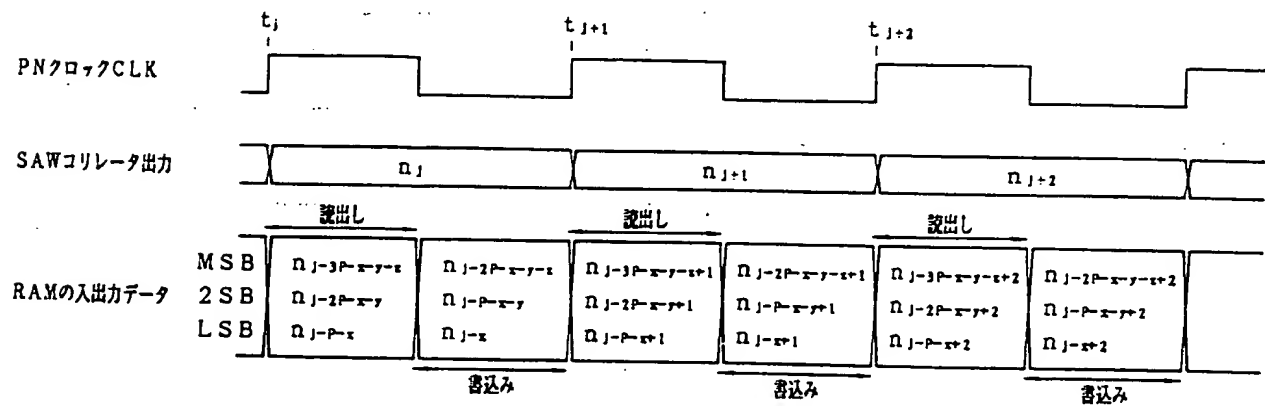
第 9 図



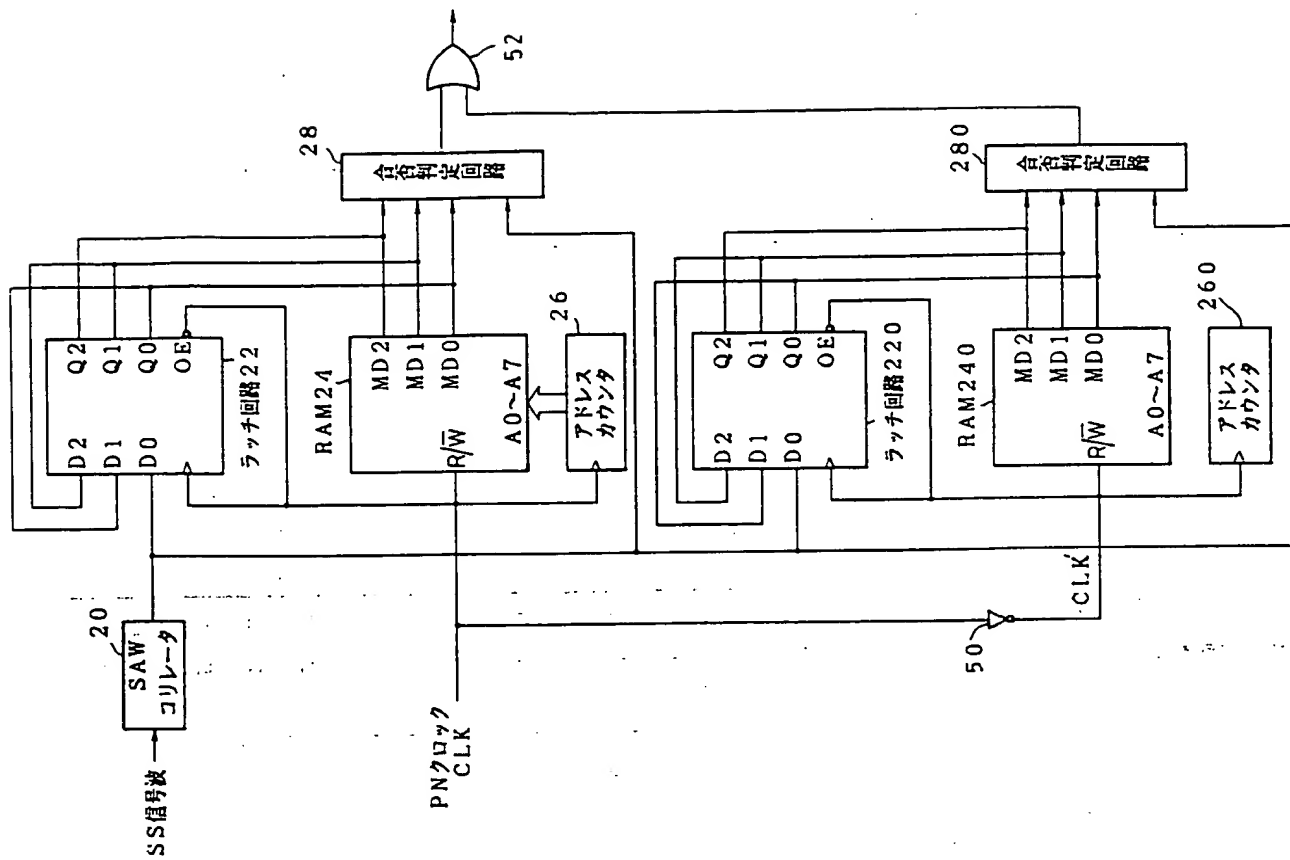
第10図



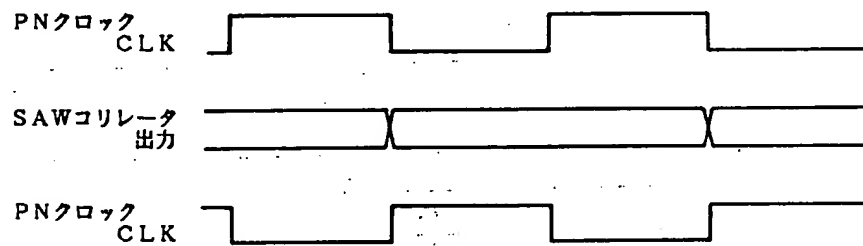
第11図



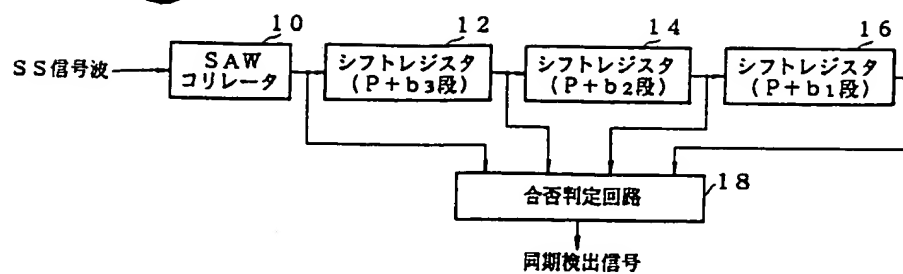
第12図



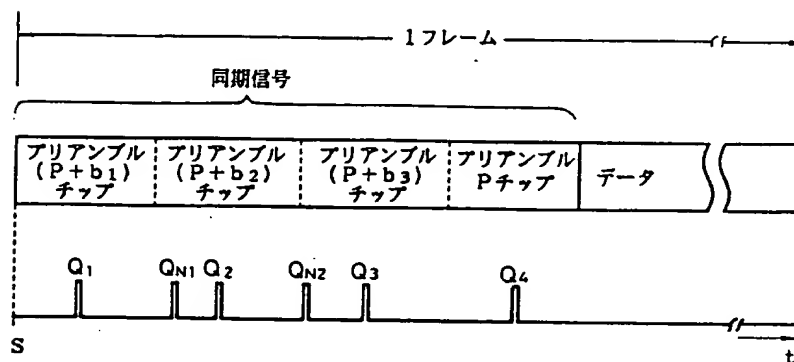
第13図



第14図



第15図



第16図